

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-175917

(43)Date of publication of application : 24.06.1994

(51)Int.Cl.

G06F 12/02

G11C 16/06

(21)Application number : 04-322898

(71)Applicant : HITACHI LTD

(22)Date of filing : 02.12.1992

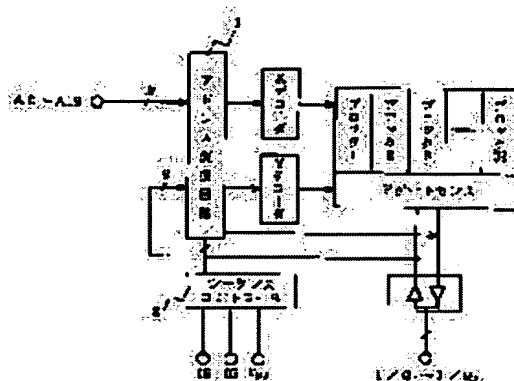
(72)Inventor : YANAGIDA TOMOHIKO

(54) FLASH MEMORY

(57)Abstract:

PURPOSE: To directly execute a code stored in a flash EPROM, and to process the block control of erasure/writing at a high speed by providing a memory address conversion table at each block.

CONSTITUTION: The flash EPROM is divided into 32 blocks by total capacity 411 bits, the size of one block is a 16KB capacity, and execution codes or file data are successively stored in the blocks. A 19 bit address is inputted to the flash EPROM, and the flash EPROM is connected with an address conversion circuit 1. And also, the address conversion circuit 1 is equipped with a path through which a chip address is inputted from a data input and output port. A mapping is operated by the address conversion circuit 1, the address of the block is designated by the lower 14 bits of the address, and the block is designated by the residual 5 bit address. Thus, the direct execution of the code stored in the flash EPROM can be attained.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against]

examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-175917

(43)公開日 平成6年(1994)6月24日

(51)IntCl ⁴	優先配号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/02	570	9306-5B		
G 1 1 C 18/06		6741-5L	G 1 1 C 17/00	3 0 9 Z

審査請求 未請求 請求項の数4(全 5頁)

(21)出願番号 特願平4-322888

(22)出願日 平成4年(1992)12月2日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 榊田 知彦

神奈川県横浜市戸塚区吉田町200番地株式会社日立製作所マイクロエレクトロニクス

機器開発研究所内

(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 フラッシュメモリ

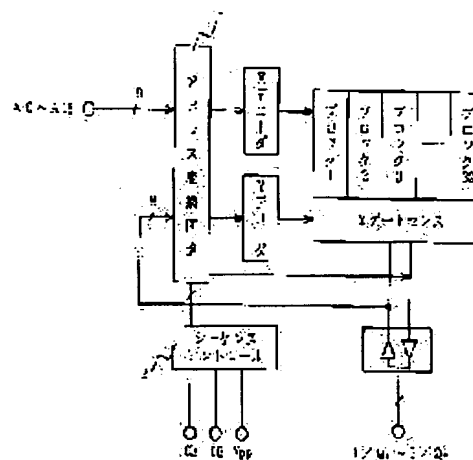
(57)【要約】

【目的】 フラッシュEPROMのイレース寿命制御を行いながら、格納されたプログラムコードを直接実行可能な制御方式を提供する。

【構成】 フラッシュEPROMチップに、ブロックアドレス変換テーブルと、チップセレクトテーブルを内蔵し、チップに入力されるアドレスをリマップする。また、チップアドレスをデータバスから入力することにより、複数チップのブロック連続性も確保する。

【効果】 複数のフラッシュEPROMに格納された、プ

ログラムコードを直接実行可能となる。また、ブロック管理情報をシステムメモリや特定のメモリブロックに配置する必要がなく、メモリの使用効率を向上することができる。



【特許請求の範囲】

【請求項1】 複数のブロックに分割されメモリブロックを持ち、個々のブロックをイレーズ可能なフラッシュメモリにおいて、ブロックごとにメモリアドレス変換テーブルを持つことを特徴とするフラッシュメモリ。

【請求項2】 請求項1記載において、チップアドレスをデータバスより入力する手段と、ブロック単位のチップアドレステーブルと、アドレス比較回路をもち、外部より入力された、チップアドレスとテーブルが一致したときのみ、リードアクセス動作することを特徴とするフラッシュメモリ。

【請求項3】 請求項1記載において、メモリアドレス変換テーブルとチップアドレステーブルを、ブロックごとにもつ、2ビットの状態フラグにより制御することを特徴とするフラッシュメモリ。

【請求項4】 請求項1記載において、メモリアドレス変換テーブルまたは、チップアドレステーブルの少なくとも一方を、外部よりリード・ライト可能なことを特徴とするフラッシュメモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、小型携帯情報処理装置等に利用される、低価格な揮発性メモリの、アドレスマッピング技術に関する。

【0002】

【従来の技術】 従来の携帯可能な小型情報処理装置は、機器の小型化のため、あるいは、バッテリー駆動を行なう等のため、ハードディスクドライブやフロッピーディスクドライブ等のファイル装置を用いずに、マスクROMやEPROM等の半導体デバイスに、OSやアプリケーションプログラム等を格納する構成とし、マスクROMやEPROM上のOSやアプリケーションプログラムのコードを実行していた。

【0003】 前記マスクROMやEPROMは、デバイスに書き込まれたデータを、ユーザが書き替えることができないため、OSのバージョンアップや、アプリケーションプログラム変更等を行なうことができない。このため、電氣的消去可能なEPROMを、前記マスクROMやEPROMの代わりに使うことが考えられるが、デバイスの集積度がマスクROMやEPROMに比べ低く、コストアップや装置の小型化に反する等の問題があった。

【0004】 そのため、近年、高集積化可能なEEPROMとして、フラッシュEPROMと呼ばれるデバイスが開発され、携帯型情報処理装置に採用されつつある。このフラッシュEPROMは、オンボードでイレーズとライトが可能であり、揮発性メモリであるダイナミックRAMと同等の集積化をおこなうことができる等の、特徴をもつ。

【0005】 しかし、バイト単位のイレーズ・書き込み

をおこなうことができず、チップ単位、あるいは、ブロック単位にイレーズをおこなう必要があることや、イレーズ時間やライト時間が長い等の、欠点がある。また、イレーズ回数にも寿命制限がある。

【0006】 このため、前記欠点を解決し、小型携帯情報処理装置で、フラッシュEPROMを利用する方式として、特開平4-31756号に記載の、イレーズ・ライトのブロック制御方式が提案されている。

【0007】 しかし、前記ブロック制御方式は、ブロックのイレーズやアドレス管理情報を、システムメモリ上、あるいは、フラッシュメモリの特定ブロック上にもち、論理的な情報のつながりを、ソフトウェアにより確保している。このため、フラッシュEPROMを利用したファイル装置等のエミュレーションは、問題なくおこなえるが、フラッシュEPROMに格納されているコードを直接実行する場合には、問題がある。この原因は、フラッシュEPROMのブロック内の格納データは、連続であるが、ブロック間の連続性は、ブロック管理情報により、確保されていることによる。

【0008】

【発明が解決しようとする課題】 以上述べたように、本発明は、フラッシュEPROMに格納された、コードを直接実行可能でかつ、従来から提案されている、イレーズ・ライトのブロック制御を高速に処理することである。

【0009】

【課題を解決するための手段】 上記課題は、フラッシュEPROMチップにブロック管理情報を内蔵することにより達成される。つまり、ブロックアドレスとプロセッサのリードアクセスアドレスの対応をしめすアドレス変換テーブルと、アドレス変換の有効・無効をしめす、バリッドビットと呼ばれる制御フラグをもつことにより達成される。また、アドレス変換テーブルと、バリッドビットのセット・クリアを、外部バスサイクルによりおこなうバスアクセス制御回路をもつ。さらに、複数のフラッシュEPROMをセレクトする拡張ROMアドレスを前記アドレス変換テーブルにもち、これに、フラッシュEPROMのリードサイクルの始まりで、拡張ROMアドレスをセットする機構を設けても良い。また、前記アドレス変換テーブルにアクセスブロックに対応した、ブロックイレーズカウンタを設けても良い。

【0010】

【作用】 フラッシュEPROMのリードアクセスアドレスは、小型携帯型情報処理装置のプロセッサ、あるいは、外部バスマスタデバイスにより出力され、現在よく使用される32ビットシステムでは、4GB容量、32ビットのアドレス範囲をもっている。このアドレスは、フラッシュEPROMに入力され、格納されている実行コードを読み出される。

【0011】 ここで、トータル容量4Mビットで、32

ブロックに分割されている。フラッシュEPRoMについて説明する。その1ブロックのサイズは、1.6KB容量あり、このなかには連続に実行コードあるいは、ファイルデータが格納されている。そのアドレスは、フラッシュEPRoMに入力される。アドレスの下位1.4ビットにより、直接アクセス可能になっている。また、フラッシュEPRoMに入力される、残りの上位5ビットアドレスにより、ブロックが指定される。プロセッサあるいは外部バスマスタデバイスは、このブロックは論理的に連続にマップされていると想定している。

【00.1.2】しかし、フラッシュEPRoMのブロックのイレース回数を均一にし、チップの書き替え寿命を延ばす、イレース・ライトのブロック制御を行なうため、必ずしも、ブロックを連続的に使用することはない。このため、入力される上位5ビットのアドレス情報を、フラッシュEPRoMに内蔵する、ブロックアドレス変換テーブルにより、ハードウェアでリマップする。これにより、アドレスの連続性が確保される。

【00.1.3】このとき、チップ内のブロックの連続性は確保されるが、フラッシュEPRoMを、複数個実装するシステムでは、チップ間のブロックの連続性も確保する必要がある。これは、ブロックごとにチップアドレステーブルをフラッシュEPRoMにもち、外部から入力される、チップアドレスと比較し、アクセスインーブル制御信号を生成することにより達成される。

【00.1.4】ブロックアドレス変換テーブルとチップアドレステーブルの設定は、フラッシュEPRoMのイレースコマンドやライトコマンドを拡張することによりおこなう。また、アドレス変換テーブルとチップアドレステーブルの内容を、リードするコマンドを設けることにより、イレース・ライトのブロック管理情報を、システムメモリ上のものが必要なくなり、メモリの使用効率が向上する。

【00.1.5】

【実施例】以下、本発明の一実施例を図を参照して説明する。

【00.1.6】図1は、本発明による、トータル容量4Mビットで、32ブロックに分割されている、フラッシュEPRoMの全体構成外略図を示す。その1ブロックのサイズは、1.6KB容量あり、このなかには連続に実行コードあるいは、ファイルデータが格納されている。

【00.1.7】フラッシュEPRoMは、19ビットのアドレスが入力され、アドレス変換回路1に接続されている。また、アドレス変換回路1には、データ入出力ポートより、チップアドレスが入力されるバスがある。

【00.1.8】アドレス変換回路1によりリマップされ、アドレスの下位1.4ビットにより、ブロックのアドレスを指定し、残りの上位5ビットアドレスにより、ブロックが指定される。

【00.1.9】フラッシュEPRoMのリード・ライト・

イレースアクセス、モード設定は、シーケンスコントローラ2により、制御される。

【00.2.0】次に、図2を用いて、アドレス変換回路1の機能を説明する。

【00.2.1】アドレス変換回路1は、アドレスレジスタ3、アドレス変換テーブル4、チップアドレステーブル5、アドレスコンパレータ6により構成されている。アドレスレジスタ3は、1.4ビットのブロックオフセットアドレスと、5ビットのブロックアドレスと、8ビットのチップアドレスからなる。このうち、ブロックオフセットアドレスとブロックアドレスはフラッシュEPRoMのアドレスとして、アドレスピンより入力され、チップアドレスは、リードサイクル時にデータポートより入力される。

【00.2.2】プロセッサあるいは外部バスマスタデバイスの出力するアドレス情報は、メモリブロックが連続にマップされていると想定している。したがって、ブロックアドレスをインデックスにして、アドレス変換テーブル4を参照し、ブロックアドレスをリマップする。アドレス変換テーブル4の設定は、テーブル設定コマンドにより、ブロックのデータ書き込みと同時にこなう。これにより、ブロックの論理的な連続性が確保される。

【00.2.3】また、複数のフラッシュEPRoMを使用するシステムでは、ブロックアドレスをインデックスにして、チップアドレステーブル5を参照し、チップアドレスレジスタ3のチップアドレスと、アドレスコンパレータ6により比較を行ない、一致した場合に、チップがセレクトされたとする。チップアドレステーブル5の設定は、テーブル設定コマンドにより、ブロックのデータ書き込みと同時にこなう。これにより、チップ間の論理的な連続性が確保される。

【00.2.4】本実施例では、8ビットのチップアドレスを管理しており、128MバイトのフラッシュEPRoM空間を、イレースブロック制御を行いながら、リニアアドレス空間として使用することができる。

【00.2.5】つぎに、アドレス変換テーブルとチップアドレステーブルの内容を、図3を用いてより詳細に説明する。図2の全体構成概略図では、2つのテーブルを別個に記載しているが、ブロックアドレスをインデックスにするテーブルで、おなじ個数のエントリをもち、本実施例では、32個のエントリをもつ。以下、2つのテーブルをあわせて説明する。

【00.2.6】図3は1エントリの構成を示したものであり、プレゼントビット(P)、バリッドビット(V)、リマップブロックアドレス7、チップセレクトアドレス8から構成されている。リマップブロックアドレス7とチップセレクトアドレス8の内容は、先に説明したとおりである。Pビットは、当該ブロックを使用しているか否かを示すフラグである。通常、フラッシュEPRoMでは、イレースにより、ビットは1になるため、P=0

【0032】図4に、フラッシュEPROMのリードサイクルで、チップアドレスを入力するタイミングを示

【符号の説明】

1. アドレス変換回路。
2. シーケンスコントローラ。
3. アドレスレジスタ。
4. アドレス変換テーブル。
5. チップアドレステーブル。
6. アドレスコンパレータ。
7. リマップブロックアドレス。
8. チップセレクトアドレス。

[illegible]

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96	97	98	99	100
---	---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	-----

• 1



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox. /